

⑫ 公開特許公報(A)

昭64-19324

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月23日

G 02 F 1/133
G 09 F 9/303 2 4
3 3 87370-2H
7335-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 アクティブ・マトリックス型液晶表示パネル

⑯ 特 願 昭62-174747

⑰ 出 願 昭62(1987)7月15日

⑱ 発 明 者 吉 野 常 一 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業
所内⑲ 発 明 者 足 立 佳 正 神奈川県川崎市幸区堀川町72番地 東芝電子デバイスエン
지니어リング株式会社内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 出 願 人 東芝電子デバイスエン 神奈川県川崎市幸区堀川町72番地
지니어リング株式会社

㉒ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

(従来の技術)

1. 発明の名称

アクティブ・マトリックス型液晶表示パネル

2. 特許請求の範囲

複数の信号電極線と、これらと交差するように配置された複数の走査電極線と、その交差部に配置されたスイッチング素子と、このスイッチング素子を介して前記信号電極線に接続された画素電極とを有するアクティブ・マトリックス型液晶表示パネルにおいて、外部回路と接続するための端子が、前記信号電極線、前記走査電極線および前記画素電極を形成する導電膜のうちの少なくとも2層の積層構造を有することを特徴とするアクティブ・マトリックス型液晶表示パネル。

3. 発明の詳細な説明

〔発明の目的〕

産業上の利用
(発明の属する技術分野)

本発明は、特に外部回路との接続端子部の構成が改良されたアクティブ・マトリックス型液晶表示パネルに関する。

一般にアクティブ・マトリックス型液晶表示パネルでは、一方の基板は複数の信号電極線と、これらと交差するように配置された複数の走査電極線と、その交差部に配置されたスイッチング素子と、このスイッチング素子を介して信号電極線に接続された画素電極とを有し、また他方の基板は共通電極を有し、これら両基板を対向配置させて、その間隙に液晶を配置してなる。

この種の液晶表示パネルでは、信号電極線および走査電極線は基板の端部にまで延在して外部接続端子を形成し、この外部接続端子にて外部回路と接続される。また外部回路の表示パネルとの接続端子は、一般にフレキシブルプリント基板に形成される。表示パネルの外部接続端子と外部回路の接続端子とは、両者の間に接着剤に導電性微粒子を混入してなる異方性導電膜を介して、両者を圧接することにより行なわれる。そして、その接続部近傍をシール剤で保護している。

(発明が解決しようとする問題点)

第4図に断面図を示すように、異方性導電膜66を介しての接続部近傍においては、A部およびB部では微小空隙のためシール剤90、92が入り込めず、空間が形成されることがある。高温高湿試験において、シール剤90、92を介して水分が浸透し、A部およびB部で信号電極線あるいは走査電極線の形成材料からなる外部接続端子70が腐蝕され、電気抵抗の増大、更には断線（図中のC）を引き起こし、外部回路からの信号が伝達されず表示画像の欠陥を招くことがあった。

本発明は、このような外部回路との接続部位における電気抵抗の増大、あるいは断線を生じない信頼性の高いアクティブ・マトリックス型表示パネルを提供するものである。

〔発明の構成〕

（問題点を解決するための手段）

本発明のアクティブ・マトリックス型表示パネルは、複数の信号電極線と、これらと交差するように配置された複数の走査電極線と、その交差部に配置されたスイッチング素子と、このスイッチ

ング素子を介して信号電極線に接続された画素電極とを有するアクティブ・マトリックス型表示パネルにおいて、外部回路と接続するための端子が、信号電極線、走査電極線および画素電極を形成する導電膜のうちの少なくとも2層の積層構造を有することを特徴とするものである。

（作用）

外部回路と接続するための端子を、信号電極線、走査電極線および画素電極を形成する導電膜のうちの少なくとも2層の積層構造とすることにより、相対的に膜厚を厚くすることができ、腐蝕が生じても、電気抵抗の増大、あるいは断線の発生を従来に比べ極めて少なくすることができ、信頼性の高い表示パネルが実現できる。

特に、接続端子を信号電極線、走査電極線および画素電極を形成する導電膜の積層構造とすることにより、これら電極を形成する工程で、接続端子をも一緒に形成することができるので、膜厚を厚くするための新たに別の導電膜を形成する必要もなく製造工程が増加するというものもない。

（実施例）

第3図はアクティブ・マトリックス型液晶表示パネルの等価回路図を示す。

複数の信号電極線 $X_1 \sim X_m$ と、複数の走査電極線 $Y_1 \sim Y_n$ とが交差するように配置され、その交差部にスイッチング素子、例えば薄膜トランジスタ1が配置されている。薄膜トランジスタ1のゲート電極には走査電極線 $Y_1 \sim Y_n$ が、ドレイン電極には信号電極線 $X_1 \sim X_m$ が、またソース電極には画素電極2が接続されている。なお、図中3は共通電極、4は液晶、5、6は液晶表示パネルを駆動する外部回路であるホールド回路および走査回路を示す。また7、8は液晶表示パネルと外部回路との接続部を示す。

このアクティブ・マトリックス型液晶表示パネルは線順次で駆動され、1ライン分の画信号がホールド回路5より信号電極線 $X_1 \sim X_m$ に加えられ、またこれと同期して走査回路6より所定の1つ走査電極線 Y_j に選択信号が加えられ、走査電極線 Y_j 上の画素電極2に所定の画信号が保持さ

れる。即ち、選択すべき走査電極線 $Y_1 \sim Y_n$ を走査回路6によりに順次選択しながら、これに同期して画信号をホールド回路7により信号電極線 $X_1 \sim X_m$ に印加することにより、画面表示がなされる。

このようなアクティブ・マトリックス型液晶表示パネルは、第1図および第2図に示すように構成される。なお、第1図は液晶表示パネルの周辺部における外部回路との接続部分の断面図、特に信号電極線の接続端子の断面図を示し、また第2図は1つの画素の近傍の断面図を示す。

さて、第2図を参照すれば、一方の基板40は透明なガラスからなり、この表面にゲート電極41が設けられ、この上にゲート絶縁膜42を介してアモルファスシリコンからなる半導体層43が設けられている。半導体層43の近傍のゲート絶縁膜42上には透明導電膜からなる画素電極46が配置されている。半導体層43にはそれぞれソース電極44、ドレイン電極45が設けられて薄膜トランジスタを構成し、ソース電極44は画素電極46と電氣的に接続さ

れている。そしてこれらの上にはパッシベーション膜35及び配向膜47が形成される。なお、ゲート電極44は図示しない走査電極線Yと接続され、またドレイン電極45は図示しない信号電極線Xと接続されている。走査電極線Yはゲート電極44と同一の材料で形成され、両者は同一のエッチングプロセスで一体に形成されている。また信号電極線X、ソース電極44およびドレイン電極45も同様にして同一の材料で、各々同一のエッチングプロセスで形成されている。

一方、他方の基板49は透明なガラスからなり、この表面には赤、青、緑のカラーフィルタ50が形成され、この上に保護層51を介して、共通電極52、配向層53が順次形成されている。

そして基板40と基板49とは画素電極46および共通電極52が対向するように所定の間隔を持って配設され、その周辺部が封着剤30(第1図を参照)でシールされている。さらに基板40、49の間隙には液晶55が封入されている。そして、図示しないが両基板40、49の外面には各々偏光板が配置され

を形成したフレキシブルプリント基板65の接続端子71とは、異方性導電膜66を介して接続される。そして、基板40の端部とフレキシブルプリント基板65との間には紫外線硬化樹脂によるシール剤80が、また他方においてはシリコン・ゴムによるシール剤81が設けられる。

さて、基板40とフレキシブルプリント基板65との間には、シール剤80、81が充填されずに空隙D、Eが形成されることがある。しかしながら、本発明によれば水分により接続端子部に腐蝕が生じて、接続端子は2層構造であるため、断線にはなりにくい。特に実施例では、シール剤81の空隙Eが生じ易い部分において、導電膜61上にゲート絶縁膜42を残しているので導電膜64に腐蝕が生じて断線にはならない。即ち、同図に示すように、空隙Eで腐蝕が生じて信号電極線材料による導電膜64に断線が生じて、外部回路の接続端子からの信号は、異方性導電膜66—信号電極線を形成する導電膜64—走査電極線を形成する導電膜61—信号電極線を形成する導電膜64の経路を経るので表

る。

次に信号電極線の接続端子を説明する。第1図を参照すれば、走査電極線Yおよびゲート電極41の形成時に、基板40の端部まで両者を形成するための導電膜61が被着され、走査電極線Yおよびゲート電極41を所定形状にエッチングする際に、信号電極線Xの接続端子部の形状とほぼ合致するようにこの導電膜を残す。またゲート絶縁膜42も同様に基板40の端部まで被着され、接続端子部ではエッチングによりコンタクトホール62、63が形成されている。そして、これらの導電膜61、ゲート絶縁膜42の上に信号電極線X、ソース電極44およびドレイン電極45を形成する導電膜64が形成され、ソース電極44、ドレイン電極45、信号電極線Xおよびこれを基板端部まで延在させた接続端子パターンを形成するように所定の形状にエッチングされている。即ち、信号電極線の接続端子70では、走査電極線を形成する導電膜61と信号電極線を形成する導電膜64の2層構造となっている。

このような接続端子70と、外部回路(図示せず)

示欠陥を招く断線とはならない。

なお、上述の実施例では、信号電極線を形成する導電膜と、走査電極線を形成する導電膜との2層構造としたが、画素電極を形成する導電膜との2層構造としても良い。またこれら導電膜の3層構造であっても良い。また、信号電極線の接続端子に限らず、走査電極線の接続端子についても実施することができる。

また、上述の実施例では、走査電極線および信号電極線とが直接に外部回路と接続されるものを例にとり説明したが、走査回路あるいはホールド回路等を薄膜トランジスタにより表示パネルの基板上に一体に形成し、外部接続端子数を少なくした表示パネルにおいても、表示パネルと外部回路との接続端子に本発明を適用できる。

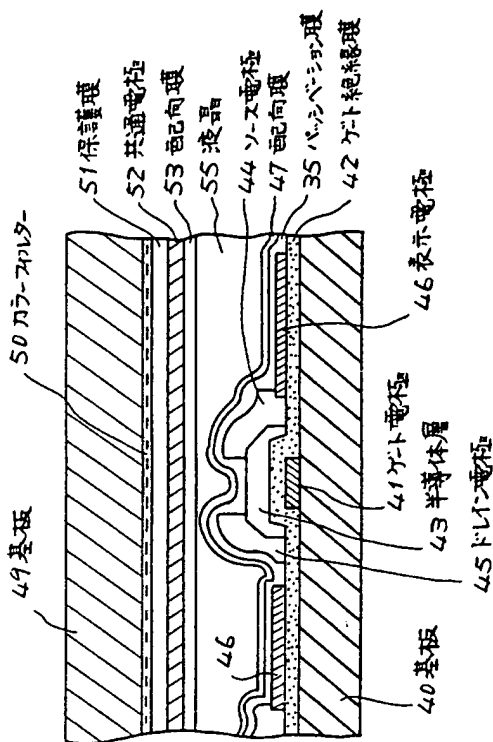
[発明の効果]

以上のように本発明によれば、外部回路との接続部位における電気抵抗の増大、あるいは断線を生じない信頼性の高いアクティブ・マトリックス型液晶表示パネルを提供することができる。

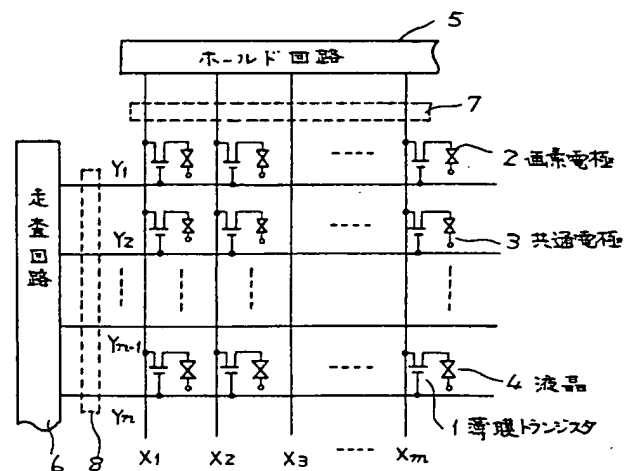
4. 図面の簡単な説明

第1図は本発明によるアクティブ・マトリクス型液晶表示パネルの要部断面図、第2図は画素部を示す要部断面図、第3図はアクティブ・マトリクス型液晶表示パネルの等価回路図、第4図は従来技術のアクティブ・マトリクス型液晶表示パネルの要部断面図である。

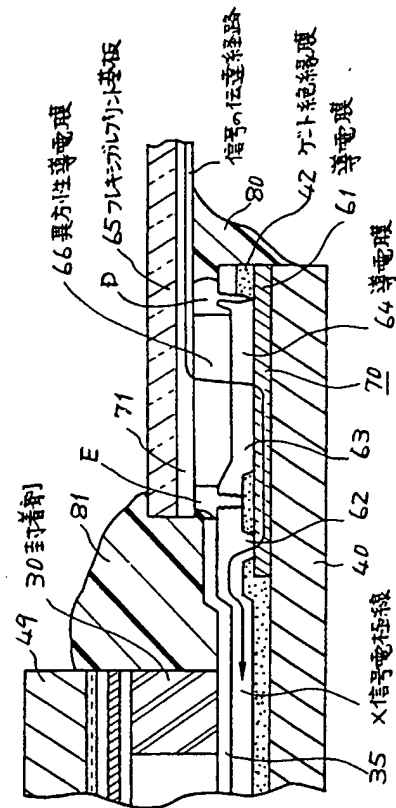
代理人弁理士 則 近 憲 佑
同 竹 花 喜久男



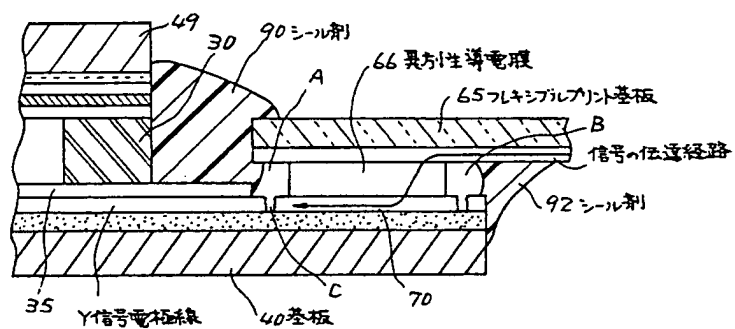
第 2 図



第 3 図



第 1 図



第 4 図